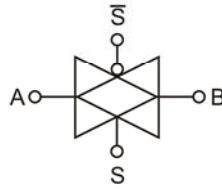
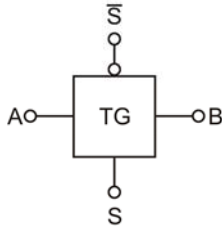


5. CMOS-Schaltlogik

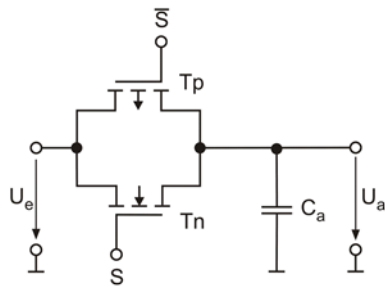
5.1. Transferrgatter



wenn $S = 1 \rightarrow B \equiv A$
 $S = 0 \rightarrow TG : off$

$S = 1 : B \leftarrow A$
 Zustand A wird zu B übertragen

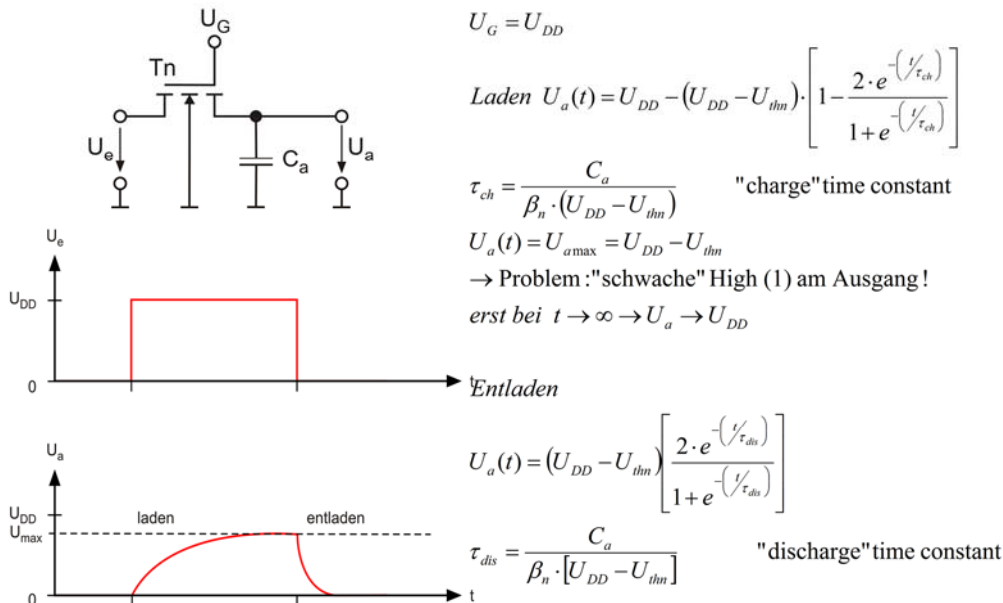
Steuerung des Signalweges



Das Grundelement für die Schaltlogik in CMOS ist das Transferrgatter. Es besteht aus zwei parallel geschalteten komplementären Transistoren, die im "Gleichtakt" betrieben werden, d.h. beide Transistoren sind entweder ein- oder ausgeschaltet.

Dieses Element ist damit ein elektronischer Schalter.

5.1. Transferringatter: n-MOS-TG



Um die besonderen Eigenschaften des TG hervorzuheben, beginnen wir mit einem "einfachen" Schalter mit einem einzelnen nMOS-Transistor.

Interessant ist hierbei das Verhalten bei der Übertragung von digitalen Signalen.

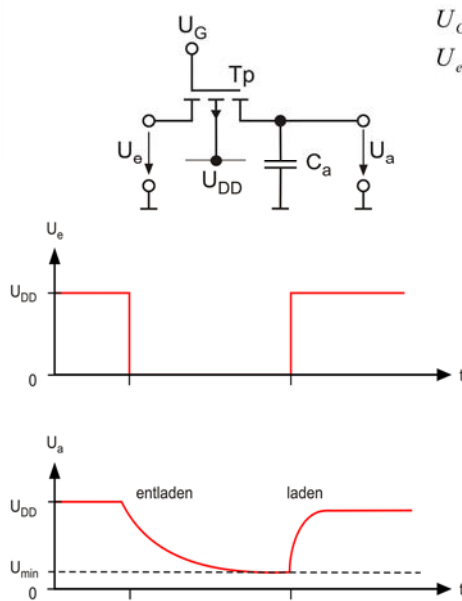
Wir nehmen an, dass der Transistor eingeschaltet ist ($U_{GS} = U_{DD}$)

Geben wir nun einen Impuls auf den Eingang, wird sich die Kapazität am Ausgang aufladen.

Die Ladezeitkonstante $\tau_{ch} = R_{DS} \cdot C_a$. Während der Aufladung verringert sich aber die Gate-Source-Spannung mit dem Ansteigen der Ausgangsspannung. Dadurch verringert sich der "Ladestrom" bis gegen 0, wenn $U_{GS} \approx U_{th}$ wird.

Es ergibt sich damit die gezeigte Funktion. Beim Entladen "wandert" der Source-Anschluss zum Eingang, $U_{GS} = U_{DD}$ und damit erfolgt das Entladen mit dem maximal möglichen Drainstrom.

5.1. Transferringatter: p-MOS-TG



$\left. \begin{array}{l} U_G = 0 \\ U_e = U_{DD} \end{array} \right\} \text{Vergleich zu } t_{LH} \text{ bei CMOS-Inverter}$

Laden:

$$U_a(t) = U_{DD} - (U_{DD} - |U_{thp}|) \cdot \left[\frac{2 \cdot e^{-t/\tau_{ch}}}{1 + e^{-t/\tau_{ch}}} \right]$$

$$\tau_{ch} = \frac{C_a}{\beta_p \cdot (U_{DD} - |U_{thp}|)}$$

für $t \rightarrow \infty$ $U_a \rightarrow U_{DD}$

Entladen:

$U_e = 0$; $U_a(t=0) = U_{DD}$

$\rightarrow U_{GSp} = U_a = U_{DSp}$

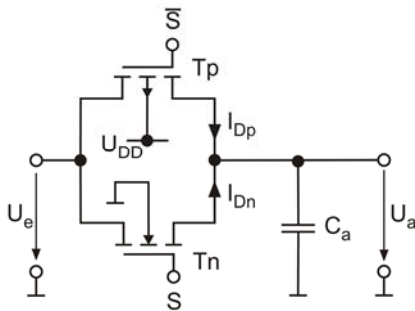
$\Rightarrow$ immer Sättigung

$$U_a(t) = |U_{tp}| + \frac{(U_{DD} - |U_{thp}|) \cdot 2 \cdot e^{-t/\tau_{ds}}}{1 + (U_{DD} - |U_{thp}|) \cdot e^{-t/\tau_{ds}}}$$

$U_a(t \rightarrow \infty) = 0$!

Verwenden wir nur einen p-Kanal Transistor, verhält sich dieser in der gleichen Weise. Der Unterschied ist, dass nun die High-Pegel des Signals übertragen werden, während der Low-Pegel in der zur Verfügung stehenden Zeit nur auf $U_{\min} = |U_{thp}|$ absinken kann. Auch hier sind die Funktionen für das Entladen und das Laden unterschiedlich.

5.2. Transferrgatter: Modell



bei $S = 1 \rightarrow$ "closed switch"

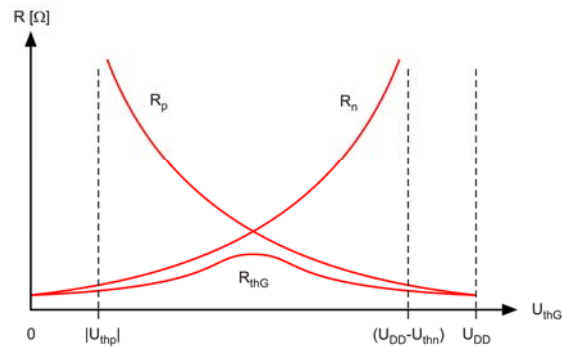
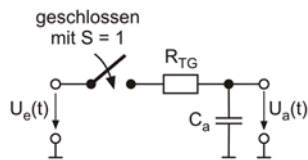
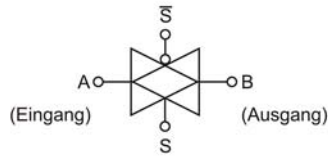
wenn $U_e = U_{DD} \rightarrow$ Aufladen $C_a \rightarrow$ über p -MOSFET $Low \rightarrow High$
 $U_e = 0V \rightarrow$ Entladen $C_a \rightarrow$ über n -MOSFET

$$I_{Dn} + I_{Dp} = C_a \cdot \frac{dU_a}{dt}$$

Schalten wir nun beide Transistoren parallel, erhalten wir die Vorteile der beiden Transfer-Schaltungen.

Damit können beide logischen Pegel H und L ohne Einschränkungen an den Ausgang übertragen werden.

5.2. Transferrgatter: Modell



$$R_n = \frac{1}{\beta_n \cdot (U_{DD} - U_{tn})}$$

$$R_p = \frac{1}{\beta_p \cdot (U_{DD} - |U_{tp}|)}$$

Aufladen :

$$U_a(t) = U_{DD} \cdot \left[1 - e^{-\left(\frac{t}{\tau_{TG}}\right)} \right]$$

Entladen :

$$U_a(t) = U_{DD} \cdot e^{-\left(\frac{t}{\tau_{TG}}\right)}$$

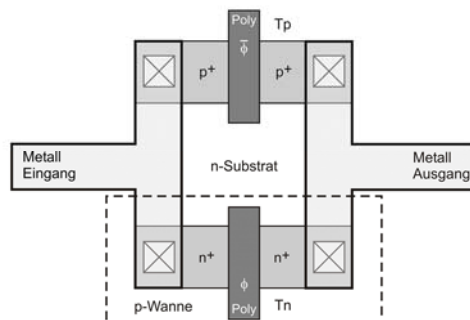
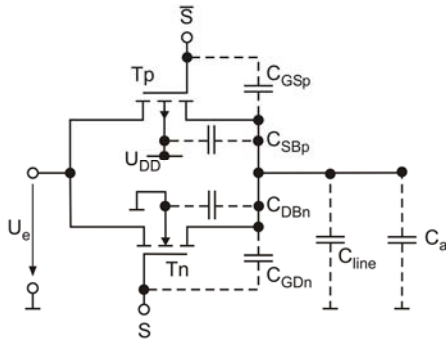
$$\tau_{TG} = R_{TG} \cdot C_a \quad R_{TG} = \frac{U_{TG}}{I_{Dn} + I_{Dp}}$$

$$G_{TG} = \frac{1}{R_{TG}} \rightarrow \text{Large} \left(\frac{w}{L} \right)_{n,p}$$

Das Symbol, ein vereinfachtes Modell und den Verlauf des Widerstands des TG zeigt diese Folie.

Man erkennt leicht, dass der resultierende Widerstand sich aus der Parallelschaltung der beiden Einzelwiderstände der Transistoren ergibt und nicht über die gesamte Betriebsspannung konstant ist.

5.3. TG-Layout



$$C_a \cong (C_{GDn} + C_{GSp}) + k(U_e) \cdot [C_{DBn} + C_{SBp}] + C_{line} + C_{in}$$

$$\text{großes } \left(\frac{w}{L}\right) \rightarrow C_a \text{ steigt}$$

$$\text{für } C_{line} + C_{in} \gg C_{MOSFET} \rightarrow \text{MOSFET-Design} \quad \text{z.B. } \left(\frac{w}{L}\right)_p = 3 \cdot \left(\frac{w}{L}\right)_n \text{ nicht nötig}$$

Abschließend wollen wir auch hier die wirksamen Kapazitäten betrachten.

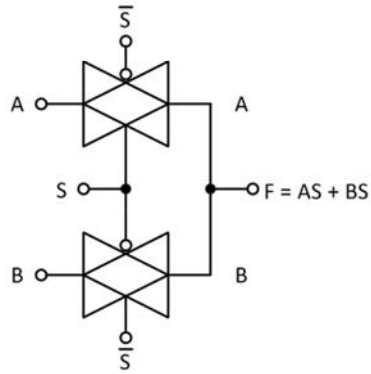
Die Ladungsspeicherung in den intrinsischen Kapazitäten kann bei Anwendungen in der analogen Schaltungstechnik zu Problemen führen, während für digitale Anwendungen dies keine Rolle spielt.

Wird das TG in der Digitaltechnik eingesetzt, ist eine Optimierung der notwendigen Fläche dadurch möglich, dass beide Transistoren mit gleicher Weite w hergestellt werden.

Ein entsprechendes Layout ist auf der Folie gezeigt.

5.4. TG-Logikzellen

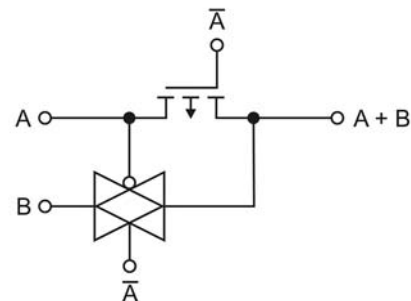
2-fach MUX



$$S = 1 : F = A$$

$$S = 0 : F = B$$

OR-Gate



für $A = 1 \rightarrow$ leitet

$$A = 1 : F = 1$$

$$A = 0 : F = B$$

$$F = A + \overline{A} \& B = A + B$$

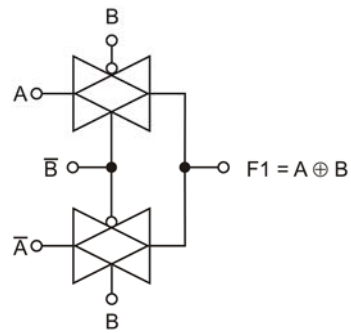
Mit den TGs lassen sich aber auch einfache Elemente für Logikzellen erstellen.

Hier zunächst ein 2zu1 Multiplexer, der aber noch einen zusätzlichen Inverter für das Signal S benötigt.

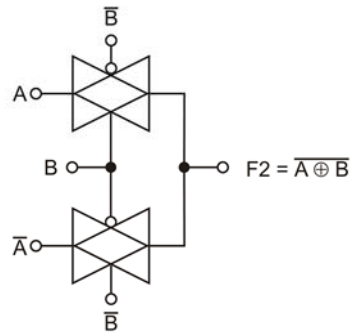
Damit könnten auch analoge Spannungen übertragen werden.

Ein OR-Gate lässt sich ebenfalls sehr einfach zusammenstellen, mit einem zusätzlichen Inverter für das Signal A.

5.4. TG-Logikzellen



(a) Antivalenz (XOR)



(b) Äquivalenz (XNOR)

$F2 = 1$ wenn $A = 1$ oder $B = 1$ (nicht beide)

(a) Antivalenz (XOR)

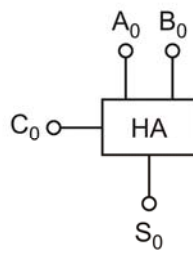
$$F1 = A \oplus B = A \& \bar{B} + \bar{A} \& B$$

(b) Äquivalenz (XNOR)

$$F2 = \overline{A \oplus B} = A \& B + \bar{A} \& \bar{B}$$

Mit zwei (nicht gezeigten Invertern) und 2 TGs lassen sich ebenso leicht Antivalenz- und Äquivalenz-Schaltungen aufbauen.

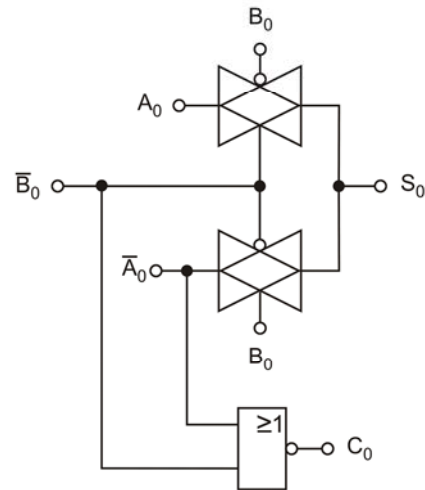
5.4. TG-Logikzellen: Halb-Addierer



A ₀	B ₀	S ₀	C ₀
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

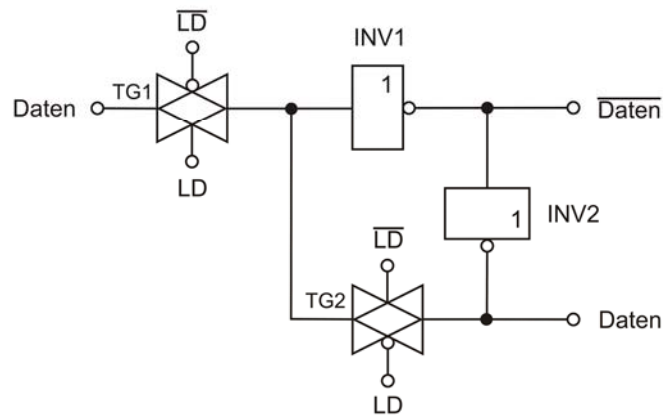
$$S_0 = A_0 \oplus B_0$$

$$C_0 = A_0 \& B_0 = \overline{A_0} + \overline{B_0}$$



Auch beim Design von Halb-Addierern ist ein Einsatz von TGs möglich.
Zusätzlich notwendige Inverter wurden auch hier weg gelassen.

5.5. TG-Flip-Flops: Basiszelle



LD → clock

→ nur ein TG leitet

bei:

LD = 1 TG1 leitet

TG2 sperrt

LD = 0 TG1 sperrt

TG2 leitet

Synchronisation mit Takt über LD

In der CMOS-Technologie werden Flipflop-Schaltungen heute fast ausschließlich mit TGs aufgebaut.

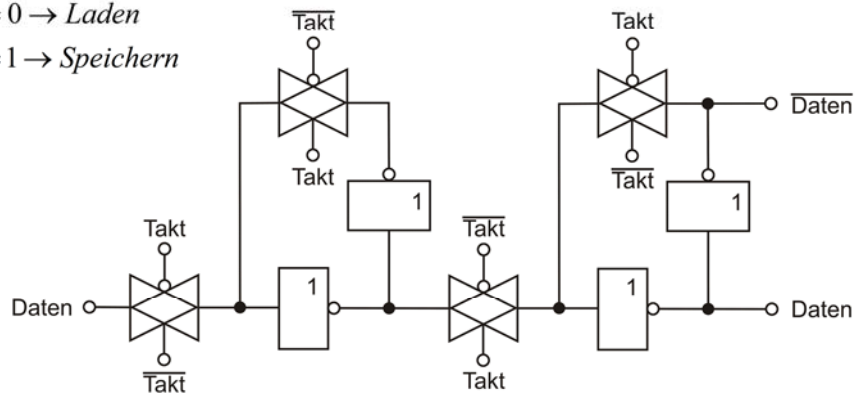
Die Basiszelle ist dabei ein transparentes D-Flipflop.

Über TG1 wird festgelegt, ob die Daten am Eingang direkt auf den Ausgang weitergeleitet werden ($LD=1$), oder ob der zuletzt am Eingang angelegte logische Zustand in der Kette mit den beiden Invertern und dem TG2 gespeichert wird.

5.5. TG-Flip-Flops: D-FF

Takt = 0 → Laden

Takt = 1 → Speichern

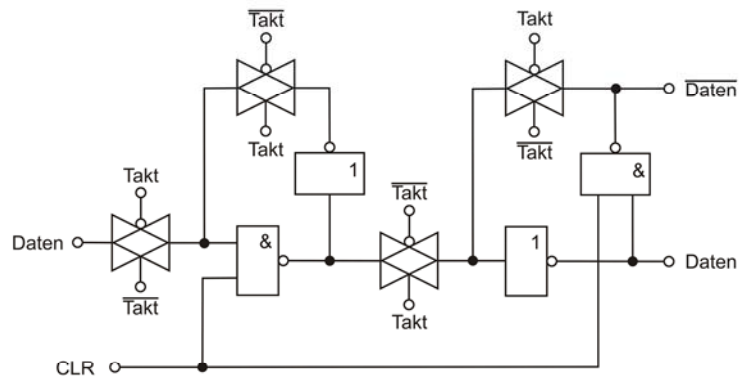


Schaltet man zwei solcher transparenter D-Flipflops mit invertierter Taktansteuerung in Reihe, erhält man ein so genanntes einflankengesteuertes D-FF.

Ist das Taktsignal = 0, ist das erste FF transparent und das zweite FF speichert die letzte Information.

Wird der Takt nun zu 1, speichert das erste FF die Information und das zweite FF ist transparent und leitet die in FF1 gespeicherte Information an den Ausgang.

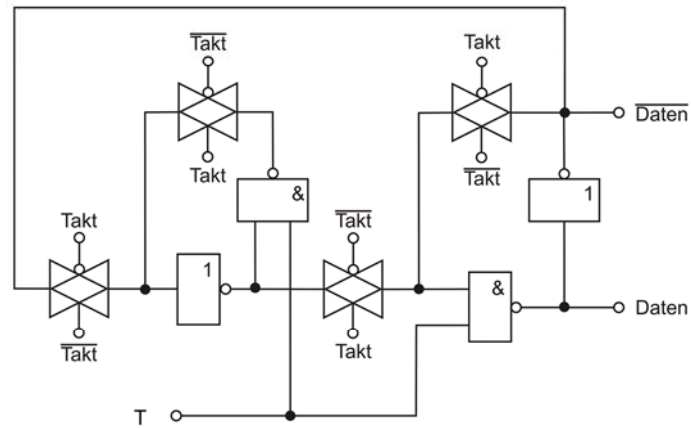
5.5. TG-Flip-Flops: D-FF



$CLR = 0 \rightarrow \text{Reset}$

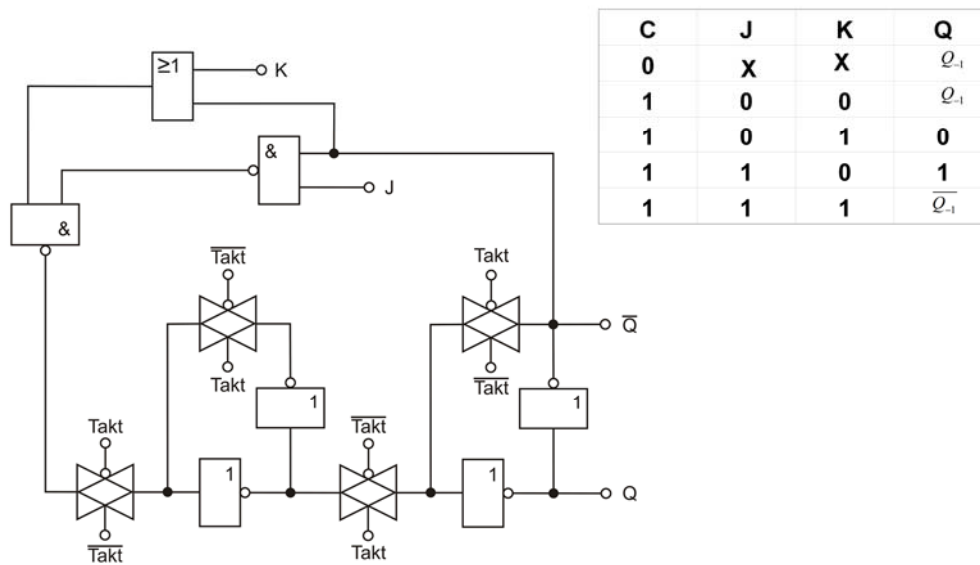
Durch einfache Veränderungen der Grundschaltung lassen Reset- oder auch Set-Funktionen hinzufügen.

5.5. TG-Flip-Flops: Toggle-FF



Verändert man die Grundsaltung auf die hier gezeigte Weise, erhält man ein Toggle-FF.

5.5. TG-Flip-Flops: JK-FF

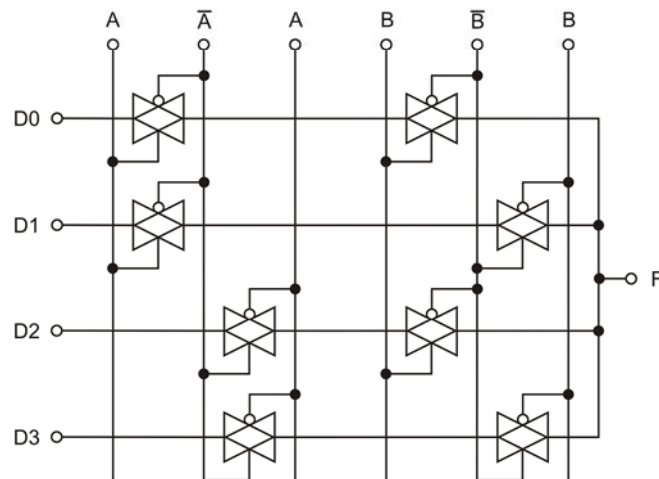


Für viele Anwendungen werden JK-FF benötigt.

Durch Hinzufügen von zusätzlichen Gattern an den Eingängen wird die entsprechende Verriegelung erreicht, so dass die gezeigte Wahrheitstabelle realisiert wird.

5.6. TG-Array-Logik

4-zu-1 Multiplexer



Ein weiteres Beispiel für Schaltungen, in denen TGs zum Einsatz kommen, ist die Multiplexer-Schaltung.

Hier ist der Kern für einen 4-zu-1 Multiplexer gezeigt.

Aufgrund der Übertragungseigenschaften des TG kann die Schaltung aber ebenso als Demultiplexer betrieben werden.

F wird dann zum Eingang und D0 bis D3 zu Ausgängen.